

2.2.3 故障排查及原理分析

一般情况下,对于 PLL 专用芯片或模块,上游厂商会提供相应的支持和仿真工具。

相应地,对于专用芯片中的 CDR 或 PLL,属于芯片内部的模块。上游厂商会综合考量设备厂商的能力,部分地开放可调参数,对于芯片设计细节的公开程度是有限的。芯片厂商提供的固件版本是“黑盒”状态,只能通过有限的可调参数窥探芯片参数与系统目标状态的趋势。可调参数与系统的定性趋势是解决问题的关键。

下面先介绍锁相环技术原理,通过自动控制系统理论和 I 型锁相环讲解锁相环参数对系统的影响。再介绍更复杂的 II 型锁相环参数及系统特征,II 型锁相环模型与本案例中所述的实际系统更接近,再回到案例中研究与环路带宽相关的可调整和优化的参数。

事实上,关注锁相环快速锁定、相位噪声等参数之前,需理解锁相环是一种相位反馈的闭环控制系统。从控制理论角度,首先还要研究其稳定性和瞬态响应,这是控制理论的基础问题。

1. I 型锁相环

I 型锁相环传递函数框图如图 2.6 所示,这是一种基础的锁相环框架,包含鉴相器(增益 K_{PD})、低通滤波器(简单分析一阶滤波环节,转折频率为 ω_{LPF})、压控振荡器(增益 K_{VCO} ,并且包含一个极点),因该系统的开环传递函数中包含一个位于复平面原点处的极点,故称为 I 型锁相环。

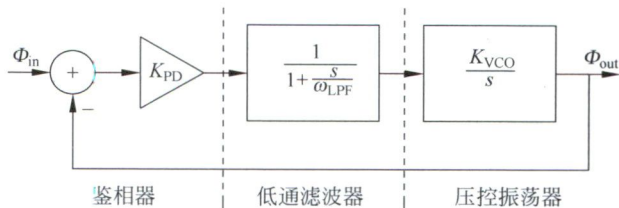


图 2.6 锁相环(PLL)原理与传递函数方框图

下面分析这个系统的锁定速度、相位噪声抑制等参数。

系统的开环传递函数为

$$H(s) = \frac{\Phi_{out}}{\Phi_{in}}(s) = K_{PD} \left(\frac{1}{1 + \frac{s}{\omega_{LPF}}} \right) \left(\frac{K_{VCO}}{s} \right)$$